

Clock generation circuit, control method of clock generation circuit and semiconductor memory device

Patent Number: US2002008558

Publication date: 2002-01-24

Inventor(s): CHIGASAKI HIDEO (JP); OKUDA YUICHI (JP); MIYASHITA HIROKI (JP)

Applicant(s):

Requested Patent: JP2002042469

Application Number: US20010908857 20010720

Priority Number (s): JP20000222309 20000724

IPC Classification: H03K3/017

EC Classification: H03K5/156D, G11C7/10R, G11C7/10S, H03K5/13D2, H03L7/081A, H03L7/087,
H03L7/089C4F, H03L7/107, H03L7/113

Equivalents: TW535162, US6703879

Abstract

A clock duty adjusting circuit is provided in the subsequent stage of a variable delay circuit to control the delay of the variable delay circuit with the rising edge of clock. When the phase of the rising edge is matched with the reference clock, the duty of output clock is matched with the duty of the reference clock by adjusting the pulse width of the signal with the duty adjusting circuit at the falling edge.

Data supplied from the **esp@cenet** database - I2

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公報番号

特願2002-42469

(P2002-42469A)

(13) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl.
 G 11 C 11/407
 G 06 F 1/06
 H 03 K 5/04
 H 03 L 7/081

識別記号

F I	テ-テ-17(参考)
H 03 K 5/04	5 B 0 2 4
G 11 C 11/34	3 6 2 S 5 B 0 7 9
G 06 F 1/04	3 1 2 A 5 J 0 0 1
G 11 C 11/34	3 5 4 C 5 J 1 0 6
H 03 L 7/08	J

審査請求 未請求 請求項の数10 O.L. (全 19 頁)

(21) 出願番号 特願2000-222309(P2000-222309)

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(22) 出願日 平成12年7月24日 (2000.7.24)

(71) 出願人 000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地(72) 発明者 矢田 裕一
東京都小平市上水木町五丁目20番1号 株式会社日立製作所半導体グループ内(74) 代理人 100085811
弁理士 大日方 富雄

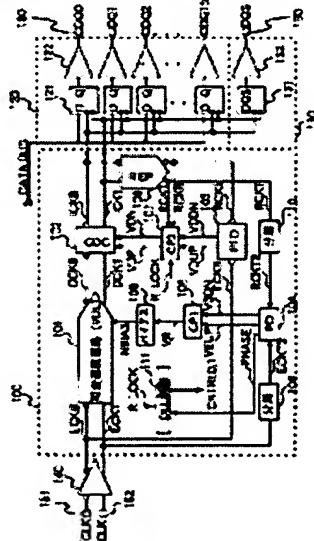
最終頁に続く

(54) 【発明の名称】 クロック生成回路および制御方法並びに半導体記憶装置

(57) 【要約】

【課題】 簡易な回路を付加するだけで、位相制御で問題となる出力クロックのデューティーのずれを回避し、より高精度の位相制御を行なえるクロック生成回路を実現する。

【解決手段】 可変遅延回路(101)の後段にクロックのデューティー調整回路(102)を設け、クロックの立ち上がりエッジで可変遅延回路の遅延量を制御し、立ち上がりエッジの位相が基準となるクロックと一致した段階で、立ち下がりエッジによってデューティー調整回路により信号のパルス幅を調整することによって、出力クロックのデューティーを基準となるクロックのデューティーと一致させるようにした。



【特許請求の範囲】

【請求項 1】 少なくとも 1 つの入力端子と、少なくとも 1 つの出力端子と、前記入力端子に信号が入力された時刻から前記出力端子より信号が输出するまでの時間に対応した所定の遅延を入力信号に付与する固定遅延付与手段と、遅延時間制御端子を備え、該遅延時間制御端子への制御電圧に応じて入力信号に遅延を与えて出力する可変遅延回路と、

デューティー制御端子を備え、該デューティー制御端子への制御電圧に応じて入力された信号のパルス幅を変化させてデューティー比を調整するデューティー調整回路と、

上記遅延時間制御電圧を生成する遅延時間制御手段と、上記デューティー制御端子に印加される制御電圧を生成するデューティー制御手段とを有することを特徴とするクロック生成回路。

【請求項 2】 前記固定遅延付与手段は、前記入力端子から前記可変遅延回路までの信号経路の遅延と、前記可変遅延回路から前記出力端子までの信号経路の遅延との和に相当する固定遅延を入力信号に付与することを特徴とする請求項 1 に記載のクロック生成回路。

【請求項 3】 前記遅延時間制御手段は、前記固定遅延付与手段から出力された信号の位相と前記可変遅延回路に入力される信号の位相とを比較し位相差に応じた信号を出力する位相比較回路と、該位相比較回路から出力される位相差に応じた信号に基づいて前記遅延時間制御端子に印加される制御電圧を生成する制御電圧生成手段とから構成されていることを特徴とする請求項 1 または 2 に記載のクロック生成回路。

【請求項 4】 前記デューティー制御手段は、前記可変遅延回路の入力側の信号の位相と前記可変遅延回路の出力側の信号の位相とを比較し位相差に応じた信号を出力する第 2 の位相比較回路と、該第 2 の位相比較回路から出力される位相差に応じた信号に基づいて前記デューティー制御端子に印加される制御電圧を生成する第 2 の制御電圧生成手段とから構成されていることを特徴とする請求項 1 ないし 3 のいずれかに記載のクロック生成回路。

【請求項 5】 前記デューティー調整回路は前記可変遅延回路の後段側に設けられ、前記固定遅延付与手段はさらにそのデューティー調整回路の後段側に設けられるとともに、前記デューティー調整回路は、前記固定遅延付与手段から出力される信号のデューティー比を、前記可変遅延回路の入力信号のデューティー比と同一にするようパルス幅を変化させることを特徴とする請求項 1 ないし 4 のいずれかに記載のクロック生成回路。

【請求項 6】 前記遅延時間制御手段は、前記可変遅延回路に入力される信号の立ち上がりまたは立ち下がりエッジの位相と、前記固定遅延付与手段から出力される信

号の立ち上がりまたは立ち下がりエッジの位相と、を比較し位相差に応じて前記遅延時間制御端子に印加される制御電圧を生成し、

前記デューティー制御手段は、前記可変遅延回路に入力される信号の立ち上がりまたは立ち下がりエッジの位相と、前記固定遅延付与手段から出力される信号の立ち下がりまたは立ち上がりエッジの位相と、を比較し位相差に応じて前記デューティー制御端子に印加される制御電圧を生成するように構成していることを特徴とする請求項 4 または 5 に記載のクロック生成回路。

【請求項 7】 前記可変遅延回路は入力された差動信号を遅延して差動信号として出力するように構成されるとともに、前記固定遅延付与手段から出力される信号も差動信号であり、前記デューティー制御手段は前記固定遅延付与手段から出力される差動信号に基づいて前記デューティー制御端子に印加される制御電圧を発生可能に構成されていることを特徴とする請求項 4 ないし 6 のいずれかに記載のクロック生成回路。

【請求項 8】 前記遅延時間制御手段を構成する前記位相比較回路は、比較される 2 つの信号の位相の進みまたは遅れを示す信号を出力するように構成されるとともに、該位相の進みまたは遅れを示す信号に基づいて位相ロック状態を判定する位相ロック判定手段が設けられ、該位相ロック判定手段から出力される位相ロック状態を示す信号に基づいて前記デューティー制御手段が前記第 2 の位相比較回路から出力される位相差に応じた信号または前記固定遅延付与手段から出力される差動信号を選択し、選択した信号に基づいて前期デューティー制御端子に印加される制御電圧の生成を行なうように構成されていることを特徴とする請求項 8 に記載のクロック生成回路。

【請求項 9】 請求項 1 ないし 8 のいずれかに記載のクロック生成回路を備え、該クロック生成回路に外部から供給されるクロック信号を入力して生成されたクロック信号をタイミング信号としてデータ出力を行なうように構成されてなることを特徴とする半導体記憶装置。

【請求項 10】 少なくとも 1 つの入力端子と、少なくとも 1 つの出力端子と、前記入力端子に信号が入力された時刻から前記出力端子より信号が出力するまでの時間に対応した所定の遅延を付与する固定遅延付与手段と、遅延時間制御端子を備え該遅延時間制御端子への制御電圧に応じて入力信号に遅延を与えて出力する可変遅延回路と、デューティー制御端子を備え該デューティー制御端子への制御電圧に応じて入力入力された信号のパルス幅を変化させてデューティー比を調整するデューティー調整回路と、上記遅延時間制御電圧を生成する遅延時間制御手段と、上記デューティー制御電圧を生成するデューティー制御手段とを有するクロック生成回路において、

まず入力信号の立ち上がりエッジまたは立ち下がりエッジ

ジのいずれかに基づいて前記可変遅延回路により信号の位相を調整した後、他のエッジに基づいて前記デューティー調整回路によりデューティー比の調整を行なうことを持つとするクロック生成回路の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、外部クロック信号に同期した内部クロック信号を生成するクロック生成回路さらにはデューティー比が調整可能なD L L (ディレイ・ロックト・ループ)回路に關し、例えばSDRAM (同期式ダイナミック型ランダム・アクセス・メモリ)における出力タイミングを決定するクロック信号を生成するクロック生成回路に利用して有効な技術に関する。

【0002】

【従来の技術】近年、SDRAMのデータ転送レートを高速化する手段として、入力クロックの2倍の速度でデータの入出力をを行うDDR (ダブル・データ・レート)方式のSDRAMが注目されている。DDR SDRAMでは高速でデータの入出力をを行うため、D L LやSM Dと呼ばれるクロック生成回路を搭載して、外部クロックの位相とデータ出力の位相を一致させることができている。これは、外部クロックに対する出力データのセットアップ時間を十分に確保するためであり、外部クロックの位相とデータ出力の位相を一致させた場合、読み込みコマンドが入力されてからデータが出力されるまでの時間は外部クロックの周期の整数倍となる。

【0003】

【発明が解決しようとする課題】クロック生成回路として用いられているD L L (ディレイ・ロックト・ループ)回路は、入力されたクロックを遅延させ、その遅延量を制御することで所望の位相を持つクロックを発生する回路である。しかし、従来のD L L回路にあっては、クロックを遅延する過程で、回路の不平衛等の影響で、クロックの立ち上がりエッジの遅延量と立ち下がりエッジの遅延量に差が生じ、結果として入力クロックのデューティー比 (1周期に対するハイレベル期間の比率)と出力クロックのデューティー比 (以下、単にデューティーと称する)とが食い違ってしまう可能性があった。クロックのデューティーずれを防ぐために、クロックの立ち上がりエッジと立ち下がりエッジで独立に位相制御する必要がある。

【0004】両エッジの遅延量を個別に制御するD L L回路として、クロックの立ち上がりエッジと立ち下がりエッジの遅延量を独立に制御できる可変遅延回路と、両方のエッジのそれぞれに対応した位相比較器とを有し、両エッジでそれぞれ独立に位相比較を行ない可変遅延回路にフィードバックをかける方式の回路が公知である (例えば、特開平6-29835号)。

【0005】また、立ち上がりエッジ用と立ち下がりエ

ッジ用の2種類の遅延回路を有し、両エッジの遅延量を個別に制御するD L L回路も公知である。このようなD L Lの例としては、特開平11-1555号がある。

【0006】D L L用の可変遅延回路としては従来より種々の回路形式のものが提案されているが、クロックのデューティーずれを防止するため立ち上がりエッジと立ち下がりエッジの遅延量を独立に制御できる可変遅延回路を用いる場合には、使用できる回路が限定される。そのため、設計の自由度が下がるとともに、D L L回路の性能は主に可変遅延回路の性能で決定されるため、可変遅延回路の種類が限定されることはD L L回路の性能が限定されることにつながる。

【0007】一方、立ち上がりエッジ用と立ち下がりエッジ用の2種類の遅延回路を用いる場合には、回路規模及び消費電流が大幅に増加するため、D L L回路を搭載したシステムの回路面積及び消費電流が増加するという問題がある。

【0008】本発明の目的は、簡易な回路を付加するだけで、位相制御で問題となる出力クロックのデューティーのずれを回避し、より高精度の位相制御を行なえるクロック生成回路を提供することにある。

【0009】この発明の前記ならびにその他の目的と新規な特徴は、本発明の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

【0011】すなわち、少なくとも1つの入力端子と、少なくとも1つの出力端子と、前記入力端子に信号が入力された時刻から前記出力端子より信号がが出力するまでの時間に対応した所定の遅延を入力信号に付与する固定遅延付与手段と、遅延時間制御端子を備え該遅延時間制御端子への制御電圧に応じて入力信号に遅延を与えて出力する可変遅延回路と、デューティー制御端子を備え該デューティー制御端子への制御電圧に応じて入力入力された信号のパルス幅を変化させてデューティー比を調整するデューティー調整回路と、上記遅延時間制御電圧を生成する遅延時間制御手段と、上記デューティー制御端子に印加される制御電圧を生成するデューティー制御手段とを設けるようにしたものである。

【0012】上記した手段によれば、可変遅延回路とは別個にデューティー調整回路を設けているので、独特的の回路形式の可変遅延回路を用いずにデューティーを調整できるため、設計の自由度が高く使用する可変遅延回路の性能によってクロック生成回路の性能が制限されることがない。また、デューティー調整回路は信号のパルス幅を変化させてデューティーを調整するので、入力信号の立ち上がりエッジの位相と立ち下がりエッジの位相をそれぞれ可変遅延回路を有する別個のD L L回路等で制

御してデューティーを調整する方式に比べて回路規模が小さくて済む。

【0013】前記固定遅延付与手段は、前記入力端子から前記可変遅延回路までの信号経路の遅延と、前記可変遅延回路から前記出力端子までの信号経路の遅延との和に相当する固定遅延を入力信号に付与するように構成する。これにより、外部から入力されるクロック信号に同期しその変化点に合わせて所望の信号を出力させるタイミングを与える内部クロック信号を生成することができる。

【0014】また、前記遅延時間制御手段は、前記固定遅延付与手段から出力された信号の位相と前記可変遅延回路に入力される信号の位相とを比較し位相差に応じた信号を出力する位相比較回路と、該位相比較回路から出力される位相差に応じた信号に基づいて前記遅延時間制御端子に印加される制御電圧を生成する制御電圧生成手段とから構成する。これにより、フィードバックループによる自動的な位相合わせが可能となる。

【0015】さらに、前記デューティー制御手段は、前記可変遅延回路の出力側の信号の位相と前記可変遅延回路の入力側の信号の位相とを比較し位相差に応じた信号を出力する第2の位相比較回路と、該第2の位相比較回路から出力される位相差に応じた信号に基づいて前記デューティー制御端子に印加される制御電圧を生成する第2の制御電圧生成手段とから構成する。これにより、デューティー制御手段を遅延時間制御手段と同様な形式の回路とができる、回路設計が容易になる。

【0016】また、前記デューティー調整回路は前記可変遅延回路の後段側に設けられ、前記固定遅延付与手段はさらにそのデューティー調整回路の後段側に設けられるとともに、前記デューティー調整回路は、前記固定遅延付与手段から出力される信号のデューティー比を、前記可変遅延回路の入力信号のデューティー比と同一にするようパルス幅を変化させる構成とすることが望ましい。デューティー調整機能を可変遅延回路内に組み込むことも可能であるが、デューティー調整回路を可変遅延回路と別個にすることにより各回路をそれぞれ最適化設計することができ、回路の性能をより一層高めることができるとともに、前記デューティー調整回路を前記可変遅延回路の後段側に設け、前記固定遅延付与手段はさらにそのデューティー調整回路の後段側に設けることにより、デューティー調整回路は単に信号のパルス幅を変化させることでデューティーを調整することができる。

【0017】さらに、望ましくは、前記遅延時間制御手段は、前記可変遅延回路に入力される信号の立ち上がりまたは立ち下がりエッジの位相と、前記固定遅延付与手段から出力される信号の立ち上がりまたは立ち下がりエッジの位相と、を比較し位相差に応じて前記遅延時間制御端子に印加される制御電圧を生成し、前記デューティー制御手段は、前記可変遅延回路に入力される信号の立

ち下がりまたは立ち上がりエッジの位相と、前記固定遅延付与手段から出力される信号の立ち下がりまたは立ち上がりエッジの位相と、を比較し位相差に応じて前記デューティー制御端子に印加される制御電圧を生成するよう構成する。これにより、クロックの一方のエッジを基準として可変遅延回路がクロックの遅延量を制御し、クロックの他方のエッジを基準としてデューティー調整回路がクロックのパルス幅を変化させてデューティーを制御することとなり、結果としてクロックの立ち上がりエッジと立ち下がりエッジの双方において高精度な位相制御を行なうことが可能になり、出力クロックのデューティーを入力クロックのデューティーに正確に一致させることができる。

【0018】さらに、前記可変遅延回路は入力された差動信号を遅延して差動信号として出力するように構成するとともに、前記固定遅延付与手段から出力される信号も差動信号とし、前記デューティー制御手段は前記固定遅延付与手段から出力される差動信号に基づいて前記デューティー制御端子に印加される制御電圧を発生可能に構成する。これにより、可変遅延回路における遅延が正相側と逆相側で異なっていても、正確なデューティー調整が可能となる。

【0019】また、前記遅延時間制御手段を構成する前記位相比較回路は、比較される2つの信号の位相の進みまたは遅れを示す信号を出力するように構成されるとともに、該位相の進みまたは遅れを示す信号に基づいて位相ロック状態を判定する位相ロック判定手段が設けられ、該位相ロック判定手段から出力される位相ロック状態を示す信号に基づいて前記デューティー制御手段が前記第2の位相比較回路から出力される位相差に応じた信号または前記固定遅延付与手段から出力される差動信号を選択し、選択した信号に基づいて前期デューティー制御端子に印加される制御電圧の生成を行なうように構成する。

【0020】あるいは、少なくとも1つの入力端子と、少なくとも1つの出力端子と、前記入力端子に信号が入力された時刻から前記出力端子より信号がが出力するまでの時間に対応した所定の遅延を付与する固定遅延付与手段と、遅延時間制御端子を備え該遅延時間制御端子への制御電圧に応じて入力信号に遅延を与えて出力する可変遅延回路と、デューティー制御端子を備え該デューティー制御端子への制御電圧に応じて入力入力された信号のパルス幅を変化させてデューティー比を調整するデューティー調整回路と、上記遅延時間制御電圧を生成する遅延時間制御手段と、上記デューティー制御電圧を生成するデューティー制御手段とを有するクロック生成回路において、まず入力信号の立ち上がりエッジまたは立ち下がりエッジのいずれかに基づいて前記可変遅延回路により信号の位相を調整した後、他のエッジに基づいて前記デューティー調整回路によりデューティー比の調整を行

なうようにする。

【0021】これにより、回路の動作を開始してから立ち上がりエッジを位相ロックするまでは出力クロックのデューティーを50%に制御することにより、可変遅延回路の動作が立ち下がりエッジの遅延量は大きくなるが立ち下がりエッジの遅延量は大きくならないような状態でも立ち上がりエッジの位相ロックを行なうことができる。

【0022】さらに、上記のような構成を有するクロック生成回路を備えた半導体記憶装置において、クロック生成回路に外部から供給されるクロック信号を入力して生成されたクロック信号をタイミング信号としてデータ出力を行なうように構成することにより、出力データの位相を外部クロックの位相と精度良く一致させ、セットアップ時間に余裕のある半導体記憶装置を実現することができる。

【0023】

【発明の実施の形態】図1には、本発明をDDR SDRAMにおけるDLL (ディレイ・ロックド・ループ) を用いたクロック生成回路に適用した場合の一実施例を示す。

【0024】まず、大まかな構成を説明する。100はDLLを用いたクロック生成回路、120は例えれば16ビットのデータDQ0～DQ15を並列に出力可能な出力回路、130はデータDQ0～DQ15と同じ周期、同一位相でデータDQ0～DQ15の読み込みタイミングを与えるデータストローブ信号DQSの出力回路、140は外部クロックCLK、/CLKの入力バッファ回路、151は外部クロックCLKの入力端子、152は逆相のクロック/CLKの入力端子、180は上記データDQ0～DQ15の出力端子、190は上記データストローブ信号DQSの出力端子である。出力回路120は、出力データDQ0～DQ15の各ビットに対応して設けられたデータラッチ回路121と出力バッファ回路122により構成されている。

【0025】クロック生成回路100は、入力された外部クロックCLK、/CLKを遅延する可変遅延回路(VDL)101と、可変遅延回路101で遅延されたクロックのデューティーを調整するデューティー調整回路(CDC)102と、上記入力バッファ140の遅延量t1と上記データラッチ回路121および出力バッファ回路122の遅延量t3との和(t1+t3)に相当する遅延量を有し上記可変遅延回路101の出力を遅延するレプリカ遅延回路(REP)103と、入力バッファ140により取り込まれた外部クロックECKTの出力RCKTを分周する分周回路109、レプリカ遅延回路103の出力RCKTを分周する分周回路110、上記分周回路109、110で分周されたクロックECKT2とRCKT2の位相を比較する位相比較器(PD)104と、位相比較器104の出力VBUP、VBDNに基づいて位相

差に応じた電圧VBを発生するチャージポンプ回路106、発生電圧VBに基づいて可変遅延回路101に対する遅延量制御信号NBIAASを生成するバイアス回路108、上記可変遅延回路101やチャージポンプ回路106などの動作を制御するDLL制御回路111などから構成されている。

【0026】さらに、本実施例のクロック生成回路100には、上記入力バッファ140により取り込まれた外部クロックECKTとレプリカ遅延回路103の他方の出力RCKTの位相を比較する位相周波数比較器(PFD)105が設けられ、この位相周波数比較器105の出力VDP、VDNにより上記デューティー調整回路102の制御が行なわれるよう構成されている。

【0027】DLL制御回路111は、DLL全体の制御信号を発生する回路であり、上記位相比較器104から位相比較結果を示す信号PHASEが供給され、DLL制御回路111からは上記チャージポンプ回路106、107に対する制御信号CNTRL0、CNTRL1やRLOCKその他の様々な制御信号が発生されるが、図1には本発明の内容に関係がある信号のみを示している。

【0028】次に、本実施例のクロック生成回路100の機能および動作を説明する。

【0029】上記の通り、DDR SDRAMにおけるクロック生成回路100は、出力データDQ0～DQ15の位相と入力クロックCLK、/CLKの位相とが一致するように、内部クロックQCLKの位相を調整する回路である。

【0030】ここで、クロック入力バッファ140の遅延量をt1、可変遅延回路101とデューティー調整回路102の遅延量の合計をt2(可変)、データ出力ラッチ121とデータ出力バッファ122の遅延量の合計をt3、分周回路109と分周回路110の遅延量をt1IVとする。レプリカ遅延回路103は可変遅延回路101で遅延されたクロックQCKTに所望の位相を与えるため、クロックアクセス時間と等しい遅延量(t1+t3)を持たせてある。位相比較器104は分周回路109と分周回路110で分周されたクロックECKT2とRCKT2の位相を一致させるようにVUP、VDN信号を出力して、可変遅延回路101の遅延量t2の値を制御する。

【0031】これによって、クロック生成回路100においては、外部クロックCLK、/CLKの周期をtCKとすると、CLK、/CLKに対するデューティー調整回路102の出力側クロックQCKTの遅延は、入力バッファ140の遅延量t1と可変遅延回路101およびデューティー調整回路102の遅延量t2との和であるので、

$t1 + t2$

同様に、分周回路110の出力側クロックRCKT2の

遅延は

$$t_1 + t_2 + t_{DIV+} (t_1 + t_3)$$

一方、分周回路 109 の出力側クロック ECKT 2 の遅延は

$$t_1 + t_{DIV}$$

$$t_1 + t_2 + t_{DIV+} (t_1 + t_3) = t_1 + t_{DIV+} t_{CK} \dots \dots \text{(式1)}$$

である。この式を整理すると、

$$t_2 = t_{CK} - (t_1 + t_3)$$

$$t_1 + t_2 + t_3 = t_{CK}$$

となる。これを図により説明すると、図2 (A) に示すように、外部クロック CLK, /CLK の周期 t CK に対して、入力バッファ 140 の遅延量 t 1 と可変遅延回路 101 およびデューティー調整回路 102 の遅延量 t 2 と出力ラッ奇 121 およびデータ出力バッファ 122 の遅延量 t 3 との和 (t 1 + t 2 + t 3) が一致するように、可変遅延回路 101 の遅延量 t 2 が制御されることを意味している。

【0033】ところで、上記説明は、1クロックサイクルで位相合わせが行なわれた場合である。図1のクロック生成回路 100 は理論的にはすなわち可変遅延回路 101 の遅延量 t 2 が 0 ～無限に制御可能であるとすると、位相合わせは 1クロックサイクルではなく nクロックサイクル (n は自然数) で行なわれても良い。これを式で表わすと、

$$t_1 + t_2 + t_{DIV+} (t_1 + t_3) = t_1 + t_{DIV+} n \times t_{CK}$$

となる。この式を整理すると、

$$t_2 = n \times t_{CK} - (t_1 + t_3)$$

よって、Q CLK の遅延は

$$n \times t_{CK} - t_3$$

となる。また、出力データ DQ 0 ～ DQ 15 の遅延は、上記 Q CLK の遅延 (n × t CK - t 3) と出力ラッ奇 121 およびデータ出力バッファ 122 の遅延量 t 3 との和であるので、n × t CK となる。これによって、出力データ DQ 0 ～ DQ 15 の位相は入力クロック CLK, /CLK の位相と等しくされる。このことより、可変遅延回路 101 の遅延量 t 2 とクロックアクセス時間 (t 1 + t 3) との合計値は n × t CK となることが分かる。つまり、

$$t_2 + (t_1 + t_3) = n \times t_{CK} \dots \dots \text{(式2)}$$

である。ここで、n の値は任意の自然数である。以下、サイクル数 n の値を用いて、サイクル数 n でクロック生成回路 100 が位相ロックする場合を、例えば 1 CLK ロック、2 CLK ロックのように n CLK ロックと呼ぶこととする。

【0034】図2 (B) には、2クロックサイクルで回路が位相ロックする 2 CLK ロックの場合における入力バッファ 140 の遅延量 t 1 と可変遅延回路 101 の遅延量 t 2 と出力ラッ奇 121 およびデータ出力バッファ 122 の遅延量 t 3 との和 (t 1 + t 2 + t 3) とクロック

である。

【0032】ここで、RCKT 2 の位相と ECKT 2 の位相が等しくなるように制御されるので、1クロックサイクルで位相合わせが行なわれたとすると、次の式が成立つ。すなわち、

$$t_1 + t_2 + t_{DIV+} (t_1 + t_3) = t_1 + t_{DIV+} t_{CK} \dots \dots \text{(式1)}$$

クサイクル t CK との関係を示す。2 CLK ロックの場合、図2 (B) に示すように、(t 1 + t 2 + t 3) = 2 t CK の関係になるように、可変遅延回路 101 の遅延量 t 2 が制御される。同様にして、3 CLK ロックの場合には、(t 1 + t 2 + t 3) = 3 t CK の関係になるように、可変遅延回路 101 の遅延量 t 2 が制御される。なお、今後は特に説明がない限り、1 CLK ロックであるとする。

【0035】さらに、本実施例においては、位相比較器 107 の前段に分周回路 109, 110 を設けて ECKT と RCKT を 2 分周したクロックの位相を比較するようにしている。これは、ハーモニック・ロックによる誤動作を防ぐためである。

【0036】図3を用いて、ハーモニック・ロックとの対策について説明する。まず、可変遅延回路 101 の遅延量は最小であるため t 2 + (t 1 + t 3) も最小であるとする。

【0037】外部クロック CLK, /CLK が入力されると、これに応じたクロック ECKT の立ち上がりエッジ E_0 は、可変遅延回路 101 及びレブリカ遅延回路 103 を伝播してクロック RCKT の立ち上がりエッジ R_0 となる。エッジ E_0 から R_0 までの遅延量は t 2 + (t 1 + t 3) である。同様にエッジ E_2 は R_2, E_3 は R_3 ……となる。ここで、外部クロック CLK, /CLK の周期 t CK が大きく、図3 (a), (b) のように t 2 + (t 1 + t 3) < t CK / 2 である場合を考えると、クロック RCKT の立ち上がりエッジ R_0 に最も位相が近いクロック ECKT の立ち上がりエッジは E_0 である。よって、クロック ECKT, RCKT を直接位相比較器 104 に入力して位相制御を行うと、R_0 の位相を E_0 へ一致させるように可変遅延回路 101 の遅延量 t 2 を小さくさせる方向への制御が行なわれる。しかしこの時点で、可変遅延回路 101 の遅延量 t 2 は既に最小であるので、クロック RCKT の立ち上がりエッジをクロック ECKT の立ち上がりエッジに一致させることはできない。この状態がハーモニック・ロックによる誤動作である。

【0038】ハーモニック・ロックによる誤動作を防ぐため、図1の D_L では分周回路 109 及び 110 が設けられている。そのため、分周回路 110 から出力されるクロック RCKT 2 は、図3 (e) のような位相と周期を持つ。つまり、分周回路 110 はクロック RCKT の立ち上がりエッジ R_0 から RCKT 2 の立ち上がりエッジ R_2 0 を生成する。そして、2分周回路 109

から出力されるクロック E CKT 2 は、図 3 (c) のような位相を持つ。つまり、分周回路 109 はクロック E CKT の立ち上がりエッジ E₋₁ から E CKT 2 の立ち上がりエッジ E₋₂ 1 を生成する。

【0049】ここで、R₋₀ から R₂₋₀ までの遅延量と、E₋₁ から E₋₂₋₁ までの遅延量と、E₂ から E₂₋₂ までの遅延量は、ともに t_{0IV} でいい。

【0050】このクロック E CKT 2, R CKT 2 を位相比較器 104 へ入力して位相比較を行なうと、R CKT 2 の立ち上がりエッジ R₂₋₀ に最も近い E CKT 2 の立ち上がりエッジは、E₋₂₋₁ である。従って、このとき位相比較器 104 は、R CKT 2 の立ち上がりエッジ R₂₋₀ に E CKT 2 の立ち上がりエッジ E₋₂₋₁ を一致させるようにダウン信号 VBDN を出力する（図 3 (f) 参照）。これは、可変遅延回路 101 の遅延時間 t_2 を大きくさせる方向であるので、ハーモニック・ロックによる誤動作を防ぐことができる。

【0051】ここでは $n = 1$ の場合について説明したが、 $n = 2, n = 3, n = 4$ についても同様の方法で対応することができる。ただし、 $n = 1$ の場合は 2 分周回路で良いが、 $n = 2$ のときは 4 分周回路、 $n = 3$ のときは 6 分周回路、 $n = 4$ のときは 8 分周回路……のよう、 n 分周回路が必要となる。

【0052】次に、本実施例の D L L 回路のより具体的な構成と制御方法を説明する。まず、入力バッファ回路 140 は、図 4 のように、一对の入力差動 MOSFET とその共通ソース側に接続された電流源用 MOSFET とドレイン側に接続された一对のアクティブ負荷 MOSFET とを含む 2 個の差動増幅回路 AMP 1, AMP 2 を組み合わせた構成を有しており、チップ外部から入力された差動のクロック信号 CLK, /CLK を増幅し、CMOS レベルの差動クロック E CKT, E CKB として出力する役割を担っている。

【0053】なお、CKEN は定電流用 MOSFET のゲート端子に印加されて動作電流をオン、オフ制御することで入力バッファ回路 140 の動作を制御するクロックイネーブル信号であり、特に制限されるものでないが、クロックイネーブル信号 CKEN が同じくゲート端子に印加され上記電流源用 MOSFET と並列的にオン、オフされて電流遮断時に出力電位を VCC に固定するための MOSFET が出力ノード側の負荷 MOSFET と並列に接続されている。2 個の差動増幅回路 AMP 1, AMP 2 を並列に組み合わせているのは、回路を完全に対称にして差動クロック信号 CLK, /CLK の真側と偽側で信号の遅延が全く同じになるようにするためである。

【0054】可変遅延回路 101 は、図 5 に示されているように、直列に接続された 8 個の可変遅延素子 401a ~ 401h により構成され、各可変遅延素子 401a ~ 401h は、図 6 に示されているよう差動インバータ

INV により構成されている。

【0055】可変遅延素子 401a ~ 401h としての差動インバータは、通常の差動増幅回路と類似の回路構成を備えており、電流源用 MOSFET Qc1 のゲート端子に、前記バイアス回路 108 (図 1 参照) からのバイアス電圧 NB1AS が印加されて制御される。また、入力差動 MOSFET Q1, Q2 のドレイン側にゲート・ドレイン結合の MOSFET Q3, Q4 と出力ノードがゲート端子に交差結合された MOSFET Q5, Q6 とが並列に接続された負荷を有することにより、回路の対称性が保証され真側と偽側で信号の遅延が全く同じになるようにされている。

【0056】上記のように構成された可変遅延素子 401a ~ 401h は、バイアス電圧 NB1AS の電位により差動インバータの動作電流が変化するので、その電流値の大きさによって信号が入力されてから出力されるまでの遅延量が変化する。具体的にはバイアス電圧 NB1AS の電位が上昇すると遅延量は減少し、バイアス電圧 NB1AS の電位が下降すると遅延量が増加する。また、図 6 の可変遅延素子 401a ~ 401h は、その出力は小振幅差動信号であり、消費電力が少ないとともに、遅延時間が電源電圧の変動に対して安定しているという利点がある。

【0057】図 7 には、デューティー調整回路 102 の具体的な回路構成例が示されている。図 7 に示すように、デューティー調整回路 102 は、図 4 に示されている入力バッファ回路 140 と類似の回路構成を備えており、2 つの差動増幅回路 AMP 11, AMP 12 を並列に接続した構成とされている。また、各差動増幅回路 AMP 11, AMP 12 は、可変遅延回路 101 からの差動のクロック信号 DCKT, DCKB がゲート端子に印加された入力差動 MOSFET Q11a, Q12a; Q11b, Q12b のドレイン端子とアクティブ負荷との間に MOSFET Q21a, Q22a; Q21b, Q22b が直列に接続されている。そして、この MOSFET Q11a, Q12a; Q11b, Q12b のゲート端子に位相周波数比較器 105 で検出された位相差に応じた電圧を発生するチャージポンプ 107 からの電圧 VDP, VDN がそれぞれ印加されており、MOSFET Q11a, Q12a; Q11b, Q12b は電圧 VDP, VDN に応じて抵抗が変化する可変抵抗素子として機能するようにされている。

【0058】この実施例のデューティー調整回路 102 に可変遅延回路 101 からクロック信号 DCKT, DCKB が入力されると CMOS レベルの信号に増幅されるとともに、MOSFET Q21a, Q22a; Q21b, Q22b の作用により、電圧 VDP, VDN に応じて出力信号の立ち上がり時間と立ち下り時間が変化されることで出力クロック ICKT, ICKB のデューティーが調整される。

【0049】この動作をさらに詳しく説明するため、差動増幅回路AMP11に着目し先ず電圧VDPとVDNとが等しい場合を考える。この場合、MOSFET Q21a, Q22aのオン抵抗は等しくMOSFET Q11a, Q12aに対して同一大きさの負荷抵抗として作用する。そのため、図8(A)のようなデューティーが50%のクロック信号DCKT, DCKBが入力されたとする。すると、正相側の出力ノードn2の電位Vn2は、図8(B)の実線Mのように立上がり時間と立下がり時間がほぼ同一となり、それをインバータINV1で反転した出力クロックICKTは図8(C)の実線mのようにデューティーが50%のクロックのまま出力される。

【0050】ここで、電圧VDPの方がVDNよりも高くなつた場合を考えると、この場合、MOSFET Q21a, Q22bのオン抵抗は減り、Q21b, Q22aのオン抵抗は増加することとなる。これによって、MOSFET Q11aは負荷が軽くなりQ12aは負荷が重くなるため、正相側の出力ノードn2の電位Vn2は、図8(B)の破線Lのように立上がりはアクリティブ負荷の作用で早くなつて立上がり時間が短くなるとともに、立下がりはQ12aの抵抗増加で遅くなつて立下がり時間が長くなる。その結果、出力ノードn2の電位Vn2をインバータINV1で反転した出力クロックICKBは図8(C)の破線lのようにデューティーが50%よりも小さなクロックとして出力される。回路の対称性からICKTはデューティーが50%よりも大きなクロックとして出力される。

【0051】一方、電圧VDPの方がVDNよりも低くなつた場合を考えると、この場合、MOSFET Q21a, Q22bのオン抵抗は増加しQ21b, Q21aのオン抵抗は減ることとなる。これによって、MOSFET Q11aは負荷が重くなりQ12aは負荷が軽くなるため、正相側の出力ノードn2の電位Vn2は、図8(B)の破線sのように立上がりはアクリティブ負荷の作用で遅くなつて立上がり時間が長くなるとともに、立下がりはQ12aの抵抗減で速くなつて立下がり時間が短くなる。その結果、出力ノードn2の電位Vn2をインバータINV1で反転した出力クロックICKBは図8(C)の破線sのようにデューティーが50%よりも大きなクロックとして出力される。回路の対称性からICKTはデューティーが50%よりも小さなクロックとして出力される。

【0052】デューティー調整回路101から出力されるクロックICKT, ICKBは、DLI外部へ出力されるのと同時に、レプリカ遅延回路103へ入力される。前述したように、レプリカ遅延回路103は入力クロックICKT, ICKBに、入力バッファ140の遅延t1および出力回路120の遅延t3との和に相当する所定の遅延量(t1+t3)を与える回路である。レ

プリカ遅延回路103の遅延量は、データ出力位相の精度に直接係わってくるため高精度のものが要求されるが、従来より既に想つかの回路形式が提案されており、本実施例では従来より使用されているレプリカ回路を用いているので、ここでは回路の詳細については省略する。要するにレプリカ遅延回路103は、入力バッファ140と同一構成の回路と出力回路120と同一構成の回路とを直列に接続した構成とされることで、所定の遅延量(t1+t3)を得るようになれる。

【0053】レプリカ遅延回路103で遅延されたクロックRCKTは、分周回路110によって2分周され、クロックRCKT2とされる。また、入力バッファ140により取り込まれたクロックECKTも同様に分周回路109によって2分周され、クロックECKT2となる。分周回路109, 110および110でクロックECKTおよびRCKTの分周を行なうことによって、前述したように、ハーモニック・ロックを防ぐことができる。分周回路109, 110は、公知の分周回路と同様であり、例えば負相側出力をデータ端子にフィードバック入力したフリップフロップによりそれぞれ構成され、クロックの立ち上がりにリラッシュ動作を行なうことでクロックRCKT, ECKTがそれぞれ2分周された信号が正相側出力端子から出力される。

【0054】図9には、分周されたクロックECKT2とRCKT2の位相比較を行なう位相比較器104の具体例が示されている。位相比較器104は、データ端子にクロックRCKT2がまたクロック端子にクロックECKT2が入力されたフリップフロップ501と、クロックECKT2の立ち上がり毎にパルスを発生するワンショットパルス発生回路502と、フリップフロップ501の正相と逆相の出力Q, QBを各一方の入力端子に受け他方の入力端子にワンショットパルス発生回路502の出力パルスPULSEを共通に受けるようにされた2つのANDゲート回路503, 504などから構成されている。

【0055】この実施例の位相比較器104は、図3(c)と(e)のように、クロックRCKT2の立ち上がりエッジがECKT2の立ち上がりエッジよりも先に入力されると、フリップフロップ501の出力Qがハイレベル、反転出力QBがロウレベルにされ、それらがワンショットパルス発生回路502の出力パルスPULSEにより出力されることで、図3(f)のように、位相の進みを示す出力信号VBONにパルスが形成され、出力される。一方、クロックRCKT2の立ち上がりエッジがECKT2の立ち上がりエッジよりも遅いと、フリップフロップ501の出力Qがロウレベル、反転出力QBがハイレベルにされ、それらがワンショットパルス発生回路502の出力パルスPULSEにより出力されることで、図3(e)のように、位相の遅れを示す出力信号VBUPにパルスが形成され、出力される。つまり、

クロックE CKT 2の位相とR CKT 2の位相のどちらが早いかに応じて、V BDNまたはV BUPが出力されることとなる。

【0056】また、フリップフロップ501の出力Qは、バッファ505を介してD L L制御回路111に位相の進み／遅れを示す信号PHASEとして供給される。これにより、D L L制御回路111はクロックE CKT 2の位相とR CKT 2の位相のどちらが早いか知ることができる。フリップフロップ501のデータ入力端子側接続されているインバータ506はクロックE CKT 2の入力側とR CKT 2の入力側とで負荷を均等して信号伝達遅延時間を等しくするためのダミー回路である。

【0057】上記位相比較器104から出力されたバルス信号V BUP, V BDNは、チャージポンプ回路106に入力され、クロックE CKT 2の位相とR CKT 2の位相のどちらが早いかに応じて出力電圧V Bが変化する。チャージポンプ回路106は、図10に示されているように、4つの電流源601～604及び4つのMOSスイッチ605～608と、抵抗609とキャパシタ610からなる低域通過フィルタとから構成される。

【0058】ここで、チャージポンプ回路106にアップ信号V BUPのバルスが入力されると、MOSスイッチ605が導通状態となり、電流源601からの電流I1がフィルタに供給されてキャパシタ610が充電されて出力電圧V Bの電位が上昇する。一方、ダウン信号V BDNのバルスが入力されると、MOSスイッチ606が導通状態となり、電流源603の電流I3によってキャパシタ610から電荷が流れ出し、出力電圧V Bの電位が下降する。

【0059】この実施例の位相比較器106には、電流源601および603と並列に電流源602および604が設けられているとともに、この電流源602とキャパシタ610との間におよびキャパシタ610と電流源604との間にMOSスイッチ607および608が設けられ、これらのMOSスイッチ607および608はD L L制御回路111からの制御信号C N T R L O, C N T R L 1により制御されるが、通常制御期間ではMOSスイッチ607および608は共にオフ状態とされ、チャージポンプ106の動作に影響を与えない。MOSスイッチ607および608は、D L L回路が動作を開始する急速制御期間にオン状態とされて、キャパシタ610の充放電速度を速め位相ロック状態への移行を速めるために設けられている。

【0060】また、この実施例のチャージポンプ回路106には、D L L回路の動作開始時にSDRAMのコントロールロジックから供給されるリセット信号R S Tによりオン、オフ制御されるリセットスイッチ611が、電源電圧端子VCCとキャパシタ610との間に接続されており、出力電圧が一旦VCCに押し上がらてから動作

を開始するように構成されている。

【0061】チャージポンプ106により生成された電圧V Bは、図11に示されている(a)または(b)のカレントミラー回路からなるバイアス回路108へ供給され、このバイアス回路108の出力電流によって上記可変遅延回路101の可変遅延素子に流れる電流が制御され、その電流の大きさによって各遅延素子の遅延時間が決定される。

【0062】なお、図11(a)に示されているバイアス回路108では、単純なカレントミラー回路を用いているが、図11(b)に示すような構成のバイアス回路108を用いることにより可変遅延回路101の遅延量制御特性等を調整することも可能である。具体的には、図11(a)のバイアス回路はその入力電圧V B - 出力電流特性が二次関数であるが、図11(b)に示した回路では、入力電圧V Bと出力電圧N BIASによって発生する電流が一次関数となるため、図11(a)と比較して、電圧 - 遅延量制御特性がより線形に近くなる。

【0063】図12には、レブリカ遅延回路103で遅延されたクロックR CKBの位相と入力バッファ140により取り込まれたクロックE CKBの位相を比較する位相周波数比較器105の具体例が示されている。

【0064】この実施例の位相周波数検出回路105は、2つのフリップフロップ501, 502と1つのNORゲート回路503から構成され、各データ入力端子Dは電源電圧VCCに接続されるとともに、クロック端子に入力バッファ140により取り込まれたクロックE CKBとレブリカ遅延回路103で遅延されたクロックR CKBがそれぞれ入力され、クロックの立ち上がりに同期してデータ入力端子よりハイレベルを取り込む。また、フリップフロップ501, 502は非同期リセット端子Rを持ち、このリセット端子にはフリップフロップ501, 502の反転出力Q Bを入力信号とするNORゲート回路503の出力がリセット信号として入力されるように構成されており、リセット端子がハイレベルにされると、入力クロックの状態に係わらず直ちにQ出力がロウレベルに、またQ B出力がハイレベルにリセットされる。

【0065】位相周波数検出回路105は、図3(h), (i)に示されているように、クロックE CKBの立ち上がりエッジがR CKBの立ち上がりエッジよりも先に入力されると、フリップフロップ501の出力Qがハイレベル、反転出力Q Bがロウレベルにされ、図3(j)のように、位相の進みを示す出力信号V DDNがハイレベルに変化される。次に、クロックR CKBの立ち上がりエッジが入力されると、フリップフロップ502の出力Qがハイレベル、反転出力Q Bがロウレベルにされる。そして、フリップフロップ501, 502の反転出力Q Bが共にロウレベルにされるとその直後に、NORゲート回路503の出力であるPFD_RST信号

号にハイレベルに変化される。PFD_RST信号はフリップフロップ501, 502のリセット端子に入力されており、出力Qは直ちにロウレベルに変化される。これにより、図3(j), (k)のように、出力信号VDDNには長いパルスが、また出力信号VDUPには短いパルスが現われる。逆に、ECKBの立ち上がりエッジよりもRCKBの立ち上がりエッジの方が早いと、出力信号VDDNには短いパルスが、また出力信号VDUPには長いパルスが現われる。これらの信号VDDN, VDUPは、チャージポンプ回路107に供給される。

【0066】図13には、チャージポンプ回路107の具体的な回路例が示されている。この実施例のチャージポンプ回路107は、ローパスフィルタを構成する抵抗RDおよびキャパシタCDと、キャパシタCDを充電するための定電流源701, 702およびスイッチ素子705, 706と、リセット用スイッチ707とを備え、入力側にマルチブレクサMUX0, MUX1が、また出力側には差動増幅回路からなる出力アンプ703と初期電圧を生成する電圧フォロワ回路704が設けられている。

【0067】マルチブレクサMUX0, MUX1は、DLLI制御回路111から供給される制御信号R_LOCKがハイレベルであるとき、位相周波数比較器105から供給される位相差を示す信号VDUP, VDDNを選擇し、制御信号R_LOCKがロウレベルであるとき、レプリカ遅延回路103から供給されるクロックRCKT, RCKBを選択して、MOSスイッチ705, 706に入力させる。そして、MOSスイッチ705は、そのゲート端子に入力される信号がハイレベルであれば、電流源701の電流I1を抵抗RDを介してキャパシタCDへ供給して充電させ、ノードn0の電位VDを上昇させる。逆に、MOSスイッチ706への入力がハイレベルであれば、抵抗RDを介してキャパシタCDから充電電荷を電流源702の電流I2で引き抜いてノードn0の電位VDを下降させる。

【0068】ノードn0の電位VDは参照電圧VREFと比較され、その電位差が差動増幅回路703で増幅され、差動信号VDP, VDNとして出力される。なお、参照電圧VREFは、図1では省略してあるが本実施例のDLL回路を搭載したDDR-SDRAM内に設けられている基準電圧発生回路で発生される基準電圧である。また、チャージポンプ動作開始時のノードn0の電位VDは参照電圧VREFの電位とほぼ等しいことが望ましいため、電圧フォロワ回路704がDLL回路の動作開始前にリセット信号RSTにより活性化されるとともに、これと同時にリセット用スイッチ707がオンされることにより、ノードn0の電位VDを参照電圧VREFと同電位にさせるように構成されている。

【0069】なお、出力アンプ703としてNMO受けの差動増幅回路を採用している理由は、参照電圧VREF

が基板電位VSSを基準として電位が安定するよう生成されて供給されることと、デューティー調整回路102の特性からチャージポンプ回路107の出力VDPとVDDNを電源電圧VCCに比較的近い電位にするのが望ましいことにある。一方、電圧フォロワ回路704がPMOS受けの差動増幅回路で構成されている理由は、一般的にPMOS受けの差動増幅回路の方がNMOS受けの差動増幅回路よりも増幅率が高く、電圧フォロワとしての性能が良いためである。

【0070】以上で、本実施例のDLL回路の構成についての説明を終了し、次に本実施例のDLL回路の制御方法について説明する。

【0071】本実施例のDLL回路においては、まず、クロックの立ち上がりエッジの位相制御が行なわれる。具体的には、制御開始時には、DLL制御回路111から出力される制御信号R_LOCKがロウレベルにされて、チャージポンプ回路107はレプリカ遅延回路103から供給されるクロックRCKT, RCKBを選択して動作する。これにより、デューティー調整回路12はクロックRCKT, RCKBのデューティーを50%とするように動作する。図5および図6のような形式の可変遅延回路101はデューティーが50%からずれているとクロックの立ち上がりエッジと立ち下がりエッジに対する遅延効果が異なり、正確な遅延量の設定が行なわれないためである。このデューティー調整動作については、後に詳しく説明する。

【0072】クロックの立ち上がりエッジの位相制御では、位相比較器104に入力されるクロックRCKT2の位相がECKT2の位相より進んでいる場合には、VBDNパルスが输出されてバイアス電圧VBDの電位が下がり、可変遅延回路101の遅延量を増大させ、クロックRCKT2の位相が遅れるように制御される。一方、位相比較器104に入力されるクロックRCKT2の位相がECKT2の位相より遅れている場合には、VBUPパルスが输出されてバイアス電圧VBDの電位が上がり、可変遅延回路101の遅延量を減少させ、クロックRCKT2の位相が進むように制御される。このようなフィードバックループによって、クロックECKT2とRCKT2の位相は常に等しくなるように調整され、式1が成り立ち、入力クロックCLK, /CLKと位相が一致したデータDQ0~DQ15が输出される。

【0073】さらに、本実施例のDLL回路においては、DLLが動作を開始してから立ち上がりエッジが位相ロックするまでの期間を短縮するために3段階のロックイン制御を行なっている。以下、この3段階ロックイン制御を説明する。まず、DLL動作開始直後はチャージポンプ回路106のリセットスイッチ611がリセット信号RSTによりオンされることにより、出力電圧VDは電源電圧VCCにリセットされる。また、チャージポンプ回路106の電流量を調整する制御信号CNTR

LO, CNT RL 1 はハイレベルにリセットされる。
【0074】このようにしてチャージポンプ回路 106 の出力電圧 VB が VCC にされると、可変遅延回路 101 の遅延量は最小になる。このとき、DL L動作開始直後の出力データ DQ の立ち上がりエッジ位相は、図 14 (A) に示すように、進み側（グラフは負の値で位相進みを示す）となる。仮に、DL L動作開始直後、データの位相が遅れ側（正の値）になっている場合、CLK, /CLK の周期 (tCK) が小さすぎて DL L はロックできないことになる。ここでは、DL L動作開始直後の DQ 出力は位相が進んでいるものとして以下説明する。
【0075】DL L動作開始直後にデータ DQ の位相が進み側にあると、位相比較器 104 は位相比較の結果、信号 PHASE をハイレベルとして DL L 制御回路 111 へ出力し、パルス信号 VBDN をチャージポンプ回路 106 へ出力する。この時、DL L 制御回路 111 からチャージポンプ回路 106 へ供給される制御信号 CNT RL 0 がハイレベルとされるため、チャージポンプ回路 106 のチャージダウン電流は $I_1 + I_3$ となり、可変遅延回路 101 の遅延量が急速に増大され、出力データ DQ の位相を遅らせる（急速制御期間 T1）。その後、出力データ DQ の位相が遅れ側になったとき信号 PHASE はロウレベルに変化し、DL L 制御回路 111 はこの信号 PHASE の変化を見て、チャージポンプ回路 106 に対する制御信号 CNT RL 0 をロウレベルとする。

【0076】また、出力データ DQ の位相が遅れ側となった時点から、チャージポンプ回路 106 へパルス信号 VB UP が出力される。しかし、このとき CNT RL 0 はロウレベルとなったが CNT RL 1 はハイレベルのままであるため、チャージポンプ回路 106 のチャージアップ電流は $I_1 + I_2$ となる。ここで、図 10 のチャージポンプ回路 106 は、 $I_2 < I_3$ の関係になるように電流源 601 ~ 604 の電流値が調整されており、これにより、急速制御期間 T1 よりはゆっくりと出力データ DQ の位相が遅れ方向に制御される（急速制御期間 T2）。

【0077】次に、再び位相が進み側になると、信号 PHASE がハイレベルとなり、チャージポンプ回路 106 に対する制御信号 CNT RL 1 はロウレベルに変化される。この後はチャージポンプ回路 106 のチャージアップ電流、チャージダウン電流はともに I_1 となり、出力データ DQ の位相がロウになるように微調整を行う（通常制御期間 T3）。通常制御期間に入つて初めて信号 PHASE がロウレベルに変化したとき、クロックの立ち上がりエッジがロックしたことになる。この時、DL L 制御回路 111 から出力される信号 R_LOCK は立ち上がりエッジがロックしたことを示すハイレベルに変化される（立ち上がりエッジロック期間 T4）。

【0078】次に、クロックのデューティー制御について

説明する。この実施例では、クロック RCKT, RCKB のデューティーを 50% へ制御するモードと、クロック RCKB のデューティーを入力クロック ECKB と一致させるモードとが存在し、DL L 制御回路 111 から出力される信号 R_LOCK が非ロック状態を示すロウレベルの時は、クロック RCKT, RCKB のデューティーが 50% となるように制御し、信号 R_LOCK 信号がロック状態を示すハイレベルの時は、クロック RCKB のデューティーを入力クロック ECKB と一致させる制御を行う。

【0079】また、クロックのデューティーを 50% に制御する場合について説明すると、信号 R_LOCK がロウレベルであるので、図 13 のチャージポンプ 107 のマルチブレクサ MUX0, MUX1 は、クロック RCKT, RCKB を選択する。ここで、図 15 に示すように、クロック RCKT のパルス幅が広く、クロック RCKB のパルス幅が狭い場合を考えると、チャージポンプ回路 107 において、クロック RCKT がハイレベルのときはノード n0 の電位 VD は上昇し、逆にクロック RCKB がハイレベルのときはノード n0 の電位 VD は下降する。しかし、クロック RCKT のパルス幅の方がクロック RCKB のパルス幅よりも広いため、全体としてはノード n0 の電位 VD は次第に上昇していく。

【0080】これによって、ノード n0 の電位 VD を差動増幅回路 703 によって増幅した出力 VDN, VDP が図 7 のデューティー調整回路 102 に供給されると、前述したようにクロック RCKT, RCKB のパルス幅は減少し、クロック RCKB, RCKB のパルス幅は増加し、クロック RCKT, RCKB のデューティーが 50% でチャージポンプ回路 107 の出力電位 VDN, VDP が均衡する。なお、上記とは逆に、クロック RCKT のパルス幅が狭く、RCKB のパルス幅が広い場合は、チャージポンプ回路 107 の出力電位 VDN が下降し、VDP が上昇し、クロック RCKT, RCKB のデューティー 50% で均衡する。そして、このように、クロック RCKT, RCKB のデューティー 50% で均衡している状態で、前述したレブリカ遅延回路 103 - 位相比較器 104 - 可変遅延回路 101 のフィードバックループによる立ち上がりエッジの位相制御が行なわれる。

【0081】次に、位相ロック後におけるクロック RCKB のデューティーを ECKB と一致させる制御について、図 16 を参照しながら説明する。図 16 (a) はクロック RCKB の立ち上がりエッジが遅れている場合、図 16 (b) はクロック RCKB の立ち上がりエッジが進んでいる場合を示す。なお、このデューティー制御に入る前にクロック RCKT の立ち上がりエッジすなわち RCKB の立ち下がりエッジの位相合わせが終了しているので、図 16 では、クロック RCKB と ECKB の立

ち下がりエッジは一致している。

【0082】このように、入力ECKTとRCKTの立ち上がりエッジの位相は一致しているので、本来なら入力側クロックECKTのデューティーとRCKTのデューティーが一致していれば、RCKBとECKBの立ち上がりエッジの位相は一致するはずである。しかし、図5および図6のような構成を有する可変遅延回路101では、内部の負荷の不平衡や電流駆動力の不平衡等により入力側クロックECKT、ECKBのデューティーに対して、出力側クロックRCKT、RCKBのデューティーが変化してしまい、それによりRCKBとECKBの立ち上がりエッジの位相は一致しない場合が生じる。図16(a)、(b)はそのような状態を示す。

【0083】前述したように、位相ロック状態では、信号R_LOCKはハイレベルとされることから、図13のチャージポンプ回路107は入力信号として位相周波数比較器105の出力V_DUP、V_DDNを選択している。一方、上記のようにクロックRCKBとECKBの立ち上がりが一致していない場合には、図16に示すように、両クロックの位相差と等しい幅のV_DDN信号もしくはV_DUP信号が位相周波数比較器105から出力される。このV_DDN、V_DUP信号は、チャージポンプ回路107へ供給される。そして、図16(a)のようにクロックRCKBの立ち上がりエッジが早ければ、位相周波数比較器105から出力される信号V_DDN、V_DUPは、V_DDNが大きくV_DUPが小さいため、チャージポンプ回路107の出力V_DPの電位が下降し、VDNの電位が上昇する。

【0084】これにより、図7のデューティー調整回路102は、クロックICKTのパルス幅を増加させ、ICKBのパルス幅を減少させる。その結果、クロックICKT、ICKBのデューティーは入力側クロックECKB、ECKBのデューティーに近づく。この制御を数回行なうと、クロックRCKBの立ち上がりエッジがECKBの立ち上がりエッジと一致するようになる。

【0085】逆に、図16(b)のようにクロックRCKBの立ち上がりエッジが早ければ、位相周波数比較器105から出力される信号V_DDN、V_DUPは、V_DUPが大きくV_DDNが小さいため、チャージポンプ回路107の出力V_DPの電位が上昇し、VDNの電位が下降する。これにより、図7のデューティー調整回路102は、クロックICKTのパルス幅を減少させ、ICKBのパルス幅を増加させる。

【0086】その結果、クロックICKT、ICKBのデューティーは入力側クロックECKB、ECKBのデューティーに近づく。この制御を数回行なうと、クロックRCKBの立ち上がりエッジがECKBの立ち上がりエッジと一致する。クロックRCKBの立ち上がりエッジとECKBの立ち上がりエッジが一致すると、V_DUP、V_DDNのパルス幅は極めて小さくなり、かつパル

ス幅が一致する。この状態で、デューティー制御は均衡し、クロックRCKBの立ち上がりエッジとECKBの立ち上がりエッジが一致した状態が保たれる。なお、このデューティー制御の間においても、入力クロックECKBの立ち下がりエッジとRCKBの立ち下がりエッジが可変遅延回路の遅延量制御によって常に一致するように制御されている。よって、クロックRCKBの立ち上がりエッジがECKBの立ち上がりエッジと一致したことで、クロックECKBとRCKBのデューティーは一致したと言える。

【0087】次に、本実施例のDLI回路における位相制御開始から位相ロック状態に到るまでの位相制御とデューティー制御との関連をより具体的に説明する。なお、ここでは、入力クロックICKTのデューティーは40%であるとする。このとき、逆相のクロックCLKのデューティーは言うまでもないが60%である。

【0088】図14に示すように、DLI回路の動作開始から立ち上がりエッジがロックされるまでの期間T1～T3は、デューティーの制御はクロックICKT、RCKBのデューティーが50%に向かうように行なわれるため、出力データDQのデューティーは40%からしだいに変化して50%になる。そして、立ち上がりエッジがロックしたタイミングtL以降は、クロックRCKBのデューティーをECKBと一致させるように制御するため、出力データDQのデューティーは50%から速やかに入力クロックCLKのデューティー40%に変化する。

【0089】なお、立ち上がりエッジがロックされるまでの期間T1～T3は、デューティーの制御を行なわなくては原理的に問題はない。しかし、図6に示すようなアナログ制御方式の可変遅延素子401は、可変遅延回路101での遅延量t2が大きくなると、バイアス電圧NBIAが低くしても立ち下がりエッジの遅延量は増加するが、立ち上がりエッジの遅延量が増加しなくなるおそれがある。そのため、サイクル時間tCKが大きい場合、遅延量t2が正常に制御できる限界を超えてバイアス電圧NBIAが低くなることがある。そして、立ち上がりエッジの遅延量が増加しなくなった場合、立ち上がりエッジの位相がロックできなくなり、立ち上がりエッジの位相制御が破綻してしまうおそれがある。

【0090】しかしその時、本実施例のように、クロックのデューティーを50%に制御していれば、可変遅延回路101の出力クロックDCKT、DCKBの立ち上がりエッジの遅延量が増加しなくても、立ち下がりエッジの遅延量が増加することで、デューティー調整回路102の出力クロックICKT、ICKBの立ち上がりエッジの遅延量は増加する。これによって、バイアス電圧NBIAが低い状態で立ち上がりエッジの位相制御が破綻するのを回避し、デューティーずれに伴なう位相ロックレンジの減少を防止することができる。

【0091】図18は、本発明を適用したDLL回路を搭載したDDR SDRAMのブロック図を示す。

【0092】図18のSDRAMは、複数のメモリセルがマトリックス状に配置された例えは4つのバンクからなり全体で256メガビットのような記憶容量を有するメモリセルアレイ200A～200Dと、外部から入力されるアドレスA0～A14を取り込むアドレスバッファ204と、前記アドレスバッファ204により取り込まれたアドレスのうち行アドレスをラッピングアドレスラッピング205と、前記アドレスバッファ204により取り込まれたアドレスのうちバンクアドレスをデコードしてメモリセルアレイ200A～200Dのいずれかを選択するバンク選択回路212と、列アドレスをラッピングアドレスラッピング206と、行アドレスをデコードしてメモリアレイ200A～200D内のワード線を選択する行アドレスデコーダ201A～201Dと、ワード線の選択によりビット線に読み出された信号を増幅するセンスアンプ回路203A～203Dと、列アドレスラッピング206にラッピングされた列アドレスを内部で自動的に更新する列アドレスカウンタ207と、列アドレスをデコードしてメモリアレイ200A～200D内のカラム（ビット線）を選択する列アドレスデコーダ203A～203Dと、外部から入力されるチップセレクト信号/CSなどの制御信号を受けて内部の制御信号を生成するコントロールロジック209と、前記メモリセルアレイ200A～200Dから読み出されたデータを外部に出力するデータ出力バッファ211と、前記出力バッファ211から出力されるデータのタイミングを示すデータストローブ信号DQSの出力バッファ215と、前記出力バッファ211から出力されるデータのタイミングを制御する本発明に係るDLLからなるクロック生成回路214と、外部から入力されるデータを受ける入力バッファ210と、外部から入力される制御信号に基づいてメモリセルアレイ200A～200Dのリフレッシュを行なうリフレッシュ制御回路208と、外部から入力されるアドレス信号の一部に基づいて動作モードを設定するモードレジスタ213などを備えている。

【0093】前記コントロールロジック209に外部から入力される制御信号としては、チップを選択状態にする前記チップセレクト信号/CSの他、互いに逆相の一对のクロックCLK、/CLK、クロックが有効であることを示すクロックイネーブル信号CKE、行アドレスストローブ信号/RAS（以下、RAS信号と称する）、列アドレスストローブ信号/CAS（以下、CAS信号と称する）、データの書き込み動作を指示するライトイネーブル信号/WE、データの出入力タイミングを示すデータストローブ信号DQS、データの入出力を禁止するデータマスク信号DMなどがある。これらの信号のうち符号の前に“/”が付されているものは、ロウレベルが有効レベルであることを意味している。コントロ

ールロジック209は、入力コマンドのうちモードレジスタへの設定を指示するMRSコマンドに応じて、内部レジスタにCASレイトンシの値等が保持される。

【0094】この実施例のDDR SDRAMにおいては、外部クロックCLK、/CLKはクロックイネーブルCKE信号がハイレベルであるときコントロールロジック209に対して有効とされる。DLLから出力される内部クロックはDDR SDRAMの読み出し（READ）動作時に必要になるため、ここではDDR SDRAMにおける読み出し動作について説明する。

【0095】DDR SDRAMに限らずアドレスマルチフレックスを採用しているDRAM（ダイナミック・ランダム・アクセス・メモリ）は、アクティブコマンドACTVの入力により行アドレスが取り込まれてメモリセルアレイ200A～200Dがアクティブ状態にされる。その後、読み出しコマンドREADが入力されると列アドレスが取り込まれてカラムの選択が行なわれる。

【0096】DDR SDRAMではデータ入出力の効率を上げるため、4つのメモリセルアレイ200A～200Dに分割されている。メモリセルアレイ200A～200Dがアクティブにするために、CLKが立ち上がり側のCLK、/CLKのクロスポイント時に、CKE=1、/CS=0、/RAS=0、/CAS=1、/WE=1という信号の組合せからなるアクティブコマンドACTVが入力されると、アドレス信号A0～A14信号はバンクアドレス信号と行アドレス信号とに分割され、それぞれバンク選択回路212と行アドレスラッピング206へ取り込まれる。そして、バンクアドレス信号に対応したバンクと行アドレス信号に対応したワード線が選択されると、選択ワード線に接続されているメモリセルのデータがビット線に読み出されてセンスアンプ回路202A～202Dによって増幅され、保持される。

【0097】その後、センスアンプ回路202A～202Dから目的のデータを読み出すため、列アドレスを指定する。CLKが立ち上がり側のCLK、/CLKのクロスポイント時に、CKE=1、/CS=0、/RAS=1、/CAS=0、/WE=1という信号の組合せからなる読み出しコマンドREADが入力されると、アドレス信号A0～A14信号はバンクアドレス信号と列アドレス信号とに分割され、それぞれバンク選択回路212と列アドレスラッピング206へ取り込まれる。/WE=1が指定されているため、コントロールロジック209は読み出し動作であることを認識し、バンクアドレス信号で指定されたバンクがアクティブであれば読み出し動作を開始する。そして、列アドレスデコーダ203A～203Dによって選択されたカラムのデータはデータ出力バッファ211へ読み出され、DLL214から出力される内部クロックのタイミングでラッピングされる。DLL214から出力される内部クロックは、前述したように、データ出力バッファ211における遅延の分だけ、

CLK, /CLKに対して早い位相を持っているため、出力データDQは外部クロックCLK, /CLKと同位相となる。

【0098】また、DDR SDRAMは、アクティブコマンドACTVが発行されてから読み出しコマンドREADが発行できるようになるまでのサイクル数、読み出しコマンドREADが発行されてからデータが出力されるまでのサイクル数、DLLのオン/オフなど、様々な動作条件を内部レジスタ213に保持する。この内部レジスタ213の値を書きかえるためのコマンドが存在する。DDR SDRAMは大きく分けて2種類の内部レジスタが存在し、それぞれMRS（モードレジスタセット）コマンド及びEMRS（エクステンディッドモードレジスタセット）コマンドで内容を書きかえる。CLKが立ち上がり側のCLK, /CLKのクロスポイント時に、CKE=1, /CS=0, /RAS=0, /CAS=0, /WE=0という信号の組合せが入力され、例えばその時のアドレス信号A14の値が“0”的場合はMRSコマンド、A14が“1”的場合にはEMRSコマンドとなる。A14以外のアドレスの入力によって、レジスタの内容が適宜書き換える。

【0099】また、DLL214は、電源投入直後もしくはセルフリフレッシュ状態から抜けたときにモードレジスタ設定コマンドMRSやセルフリフレッシュ終了コマンドSELFXが入力されることにより動作を開始するようになる。この時DDR SDRAMの規格によって、図17に示すように、モードレジスタ設定コマンドMRSやセルフリフレッシュ終了コマンドSELFXが入力されてから、最低でも200サイクルの期間READコマンドを投入することは禁止されている。したがって、この200サイクルの間に、DLLでの位相ロック動作が完了すればよく、前記実施例のDLLではそのような位相ロックが可能である。しかも、モードレジスタ設定コマンドMRSやセルフリフレッシュ終了コマンドSELFXが入力されるときに、クロックの周期が変更されても前記実施例のDLLを搭載したSDRAMでは周期に応じた位相ロックが行なわれる。従って、クロック周波数の遅い低消費電力モードを有するシステムでは、前記実施例のDLLを搭載したSDRAMの消費電力も低減することができる。

【0100】以上、本発明によりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、本実施例ではクロックのデューティー調整回路を可変遅延回路の出力直後に設けたが、デューティー調整機能は可変遅延回路101内に設けることも可能である。また、実施例のデューティー調整回路102は、クロックDCKT, DCKBのデューティーを調整しつつ増幅する形式の回路で構成されているが、それぞれの機能を独立さ

せ、デューティー調整回路+小信号増幅回路のような構成を有する回路を用いてもかまわない。

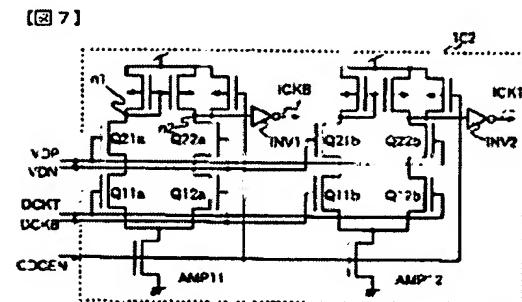
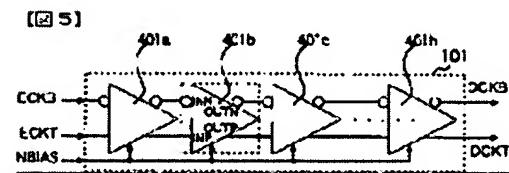
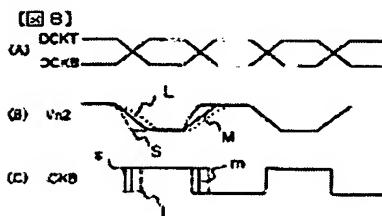
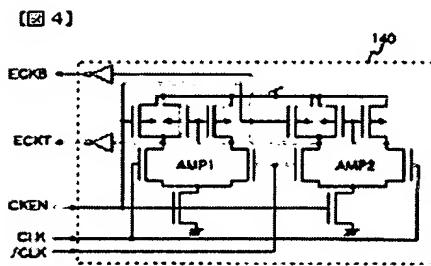
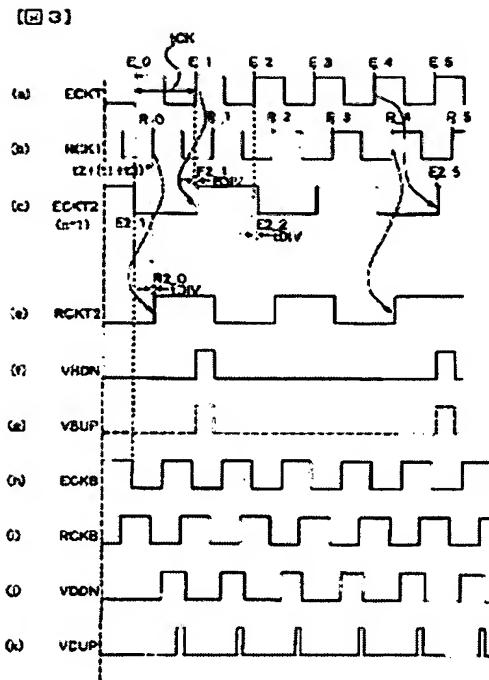
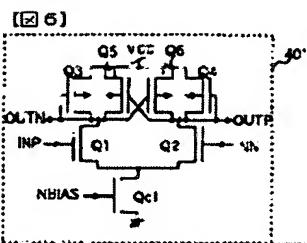
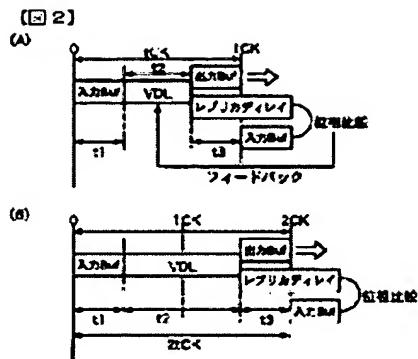
【0101】さらに、クロックのデューティー制御を行う信号（例えばVDP, VDN）をDLL外部に出力して、入力バッファ回路140や出力データラッチ回路121やデータ出力バッファ122でデューティー調整を行なうようにし良い。ただし、DLL外部でデューティー調整を行なう場合には、レブリカ遅延回路103にもデューティー調整機能を付加する必要がある。さらに、本実施例で用いた可変遅延回路101は、クロックECKT, ECKBのデューティーが50%から外れている場合、遅延制御特性が悪化する場合が考えられるため、入力バッファ回路140においてR_CLOCK信号の状態に係わらずクロックECKT, ECKBのデューティーが50%になるよう制御し、DLL回路内部で出力データDQとデータストローブ信号DQSのデューティーが入力クロックCLKと等しくなるように制御すると言う応用例も考えられる。

【0102】また、本実施例では、R_CLOCK信号を用いて立ち上がりエッジの位相ロックを検出し、R_CLOCK信号に応じてデューティーを制御する方式を変更するように構成したが、立ち上がりエッジの位相ロックを検出することが困難な制御の場合には、ある決められた期間で立ち上がりエッジを確実に位相ロックできるように設計し、その期間が過ぎる前はデューティーを50%に制御するかもしれない無制御とし、その期間が過ぎた後は出力データDQとデータストローブ信号DQSのデューティーが入力クロックCLKと等しくなるように制御すると言う方式も考えられる。

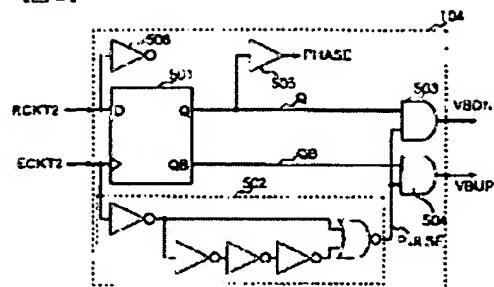
【0103】また、本方式はDLL回路に限定するものではなく、基準となるクロックに位相を一致させるように制御する他のクロック生成回路においても有効な発明である。例えば、PLL（フェイズ・ロックド・ループ）、SMD（シンクロナス・ミラー・ディレイ）、NDC（ネガティブ・ディレイ・サーキット）、BDD（バイ・ディレクショナル・ディレイ）などを用いたクロック生成回路にデューティー調整回路を設け、立ち上がりエッジをPLL, SMD, NDC, BDDで制御し、立ち下がりエッジをデューティー調整回路で制御すると言った方式が考えられる。さらに、クロックの立ち下がりエッジで遅延量を制御し、立ち上がりエッジでデューティーを制御すると言った方式も考えられる。

【0104】
【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

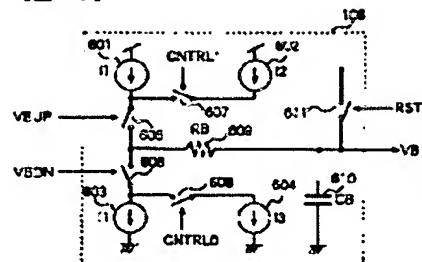
【0105】すなわち、本発明を適用したクロック生成回路は、クロックの立ち上がりエッジと立ち下がりエッジの双方において高精度な位相制御を行なうことが可能になり、出力クロックのデューティーを入力クロックの



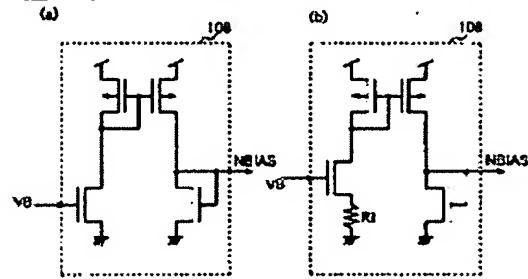
【図 9】



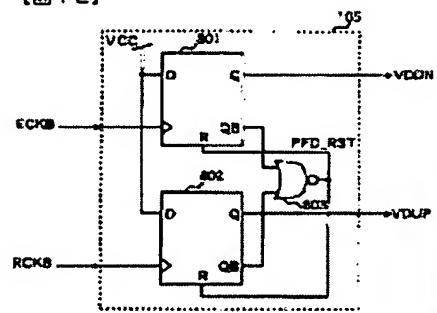
【図 10】



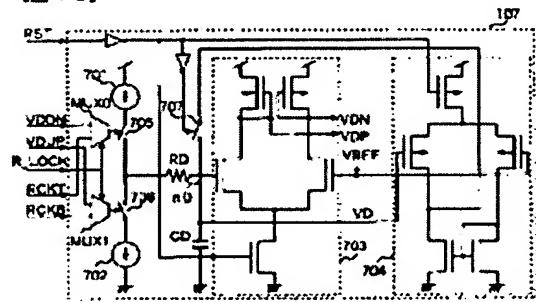
【図 11】



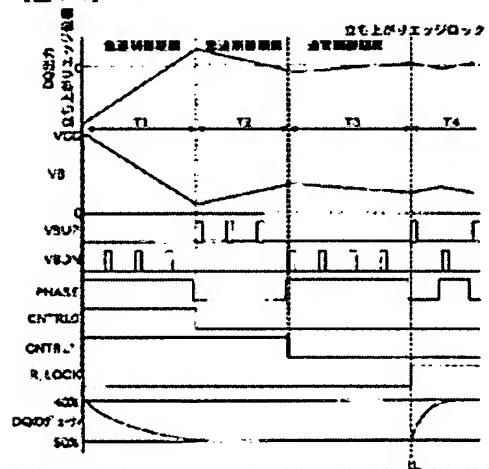
【図 12】

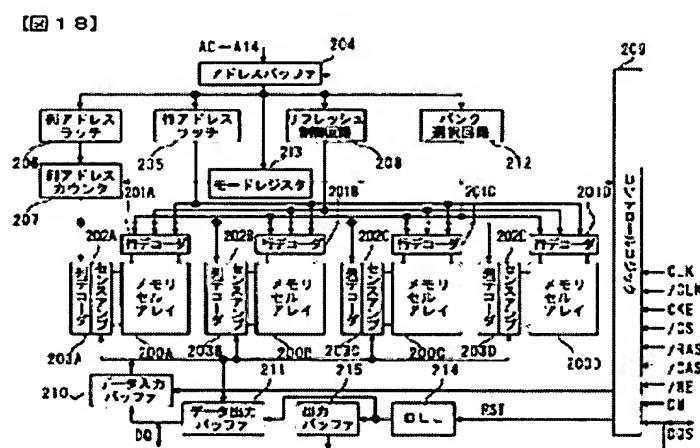
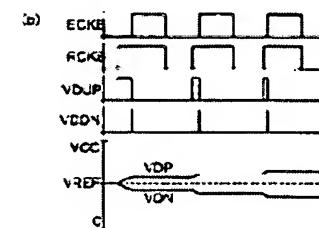
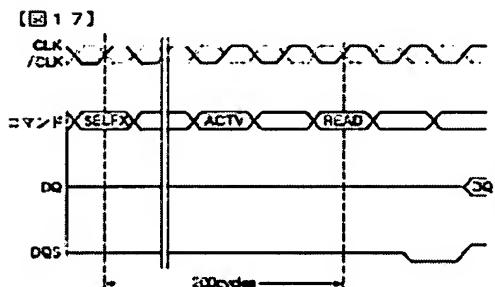
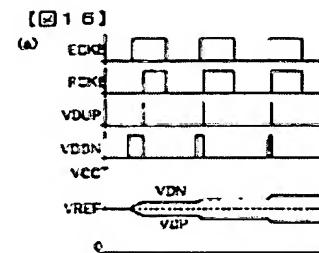
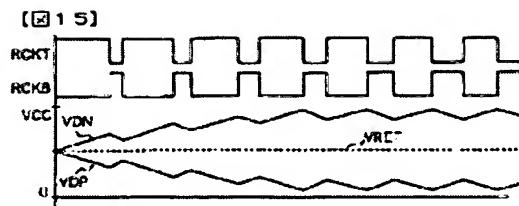


【図 13】



【図 14】





フロントページの続きを読む

(72)発明者 千ヶ崎 美夫
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 宮下 広基
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

Fターム(参考) 5B024 AA03 AA15 BA21 BA23 CA07
5B079 BA20 BB10 BC03 CC02 DD05
DD06 DD20
5J001 AA04 BB00 BB05 BB08 BB11
BB12 BB14 BB24 BB25 CC00
DD06
5J106 AA04 CC24 CC31 CC52 CC58
CC59 DD01 DD24 DD32 DD42
DD43 DD48 GG10 HH02 KK05

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.